

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K73F

Questão nº 5

Fabricação CMOS

O processo de fabricação CMOS apresenta etapas bem definidas. São elas:

- * Purificação do silício
- * Recorte do wafer
- * Camada epitaxial
- * Oxidação para formação de isolante
- * Fotolitografia
- * Implante de Íons
- * Metalização
- * Recorte e package

Em todos os processos, o silício é a principal matéria prima.

Porque do Silício?

Dentre os diversos elementos da natureza, o Silício é um dos elementos mais abundantes (2º elemento). Além disso, apresenta excelentes características isolantes (quando transformado em óxido) e excelentes propriedades elétricas.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

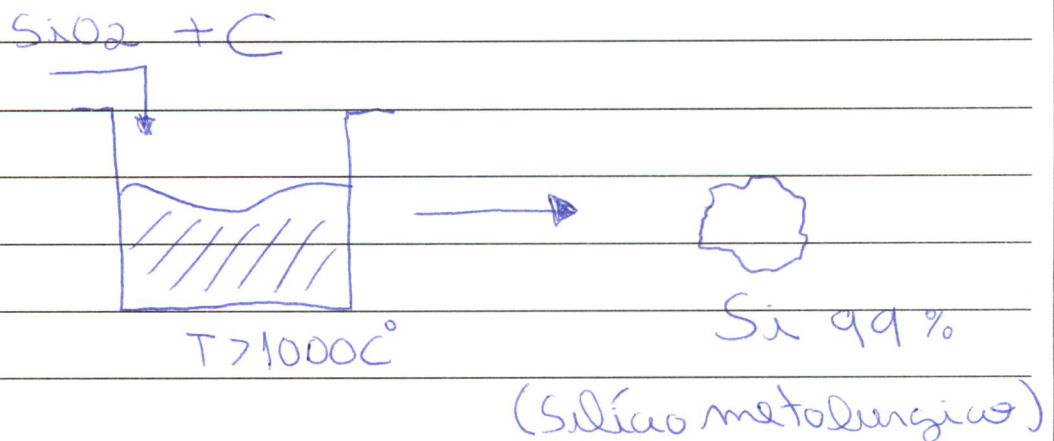
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 5

que o permite atuar como um semicondutor quando partículas impuras (como o Boro ou o Fósforo) são adicionadas através da dopagem.

Processo de Purificação

Após ser extraído da natureza em forma de quartzo, o silício (na forma de dióxido) é adicionado em um forno de alta temperatura junto com carbono. Esse processo metalúrgico só despende os oxigênios do silício (SiO_2) e produz um cristal policristalino contendo uma pureza de 99% de silício. A figura 2.1 apresenta esse processo:

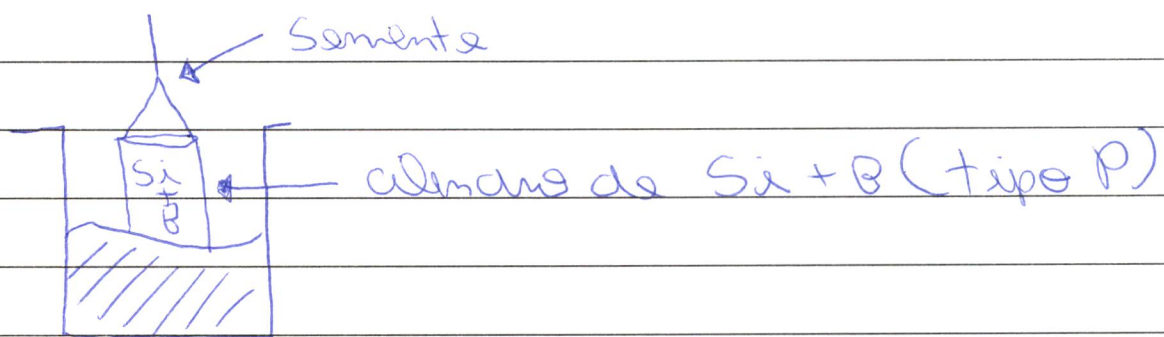


Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 5

contudo, o silício 99%, também chamado de Siliciometalurgia é adequado para a produção de semicondutores. O processo de purificação ocorre de maneira química, onde o nível de pureza atingido é de 99,99%. Após esse processo, o silício policristalino puro é submetido a um último método que fixa fundir o material, adicionar o Boro (impureza trivalente) e reorganizar a estrutura cristalina do cristal. A figura 2.2 apresenta esse método:



Após esse processo, o silício tipo P é recortado em finos wafers, polidos e limpos. Somente após esses processos, o silício estará pronto para a confecção do semicondutor.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

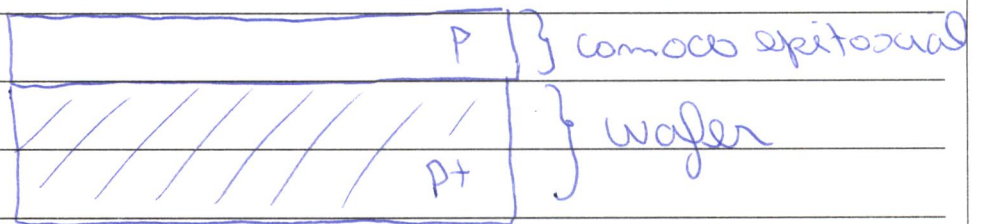
DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K 7 3 F

Questão nº 5

3) Como o Epitaxial

Antes de começar a construção de semicondutor, uma fina camada de Silício é depositada sobre o wafer a fim de ser o plano de construção do dispositivo. Uma grande vantagem desse processo é a criação de um plano de forma (o próprio wafer) que tem como objetivo evitar descargas elétricas (latchup) e dispositivos parasitas. A Figura 3-1 apresenta esse processo:



4) Fotolitografia

O processo de Fotolitografia é uma operação que envolve diversas etapas que permitem a gravação de padrões e formatos na estrutura da camada epitaxial formada. O processo de gravação ocorre através de uma tinta photoresist, que quando exposta a luz ultravioleta se torna solúvel ou insolúvel a determinados reagentes

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K23F

Questão nº 5

A figura 4.1 apresenta o processo de aplicação da tinta:

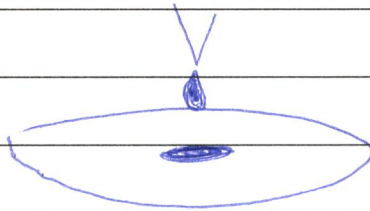


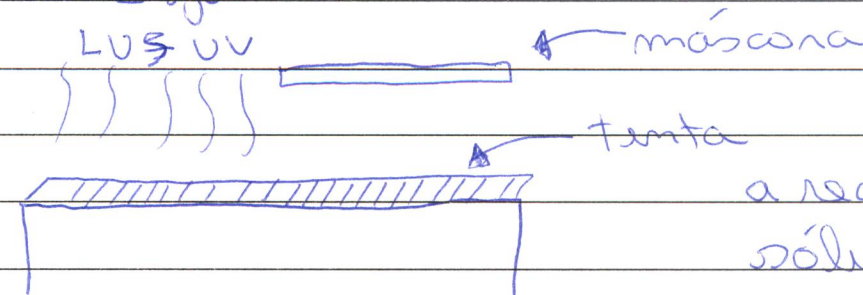
Figura 4.1: Processo de espalhamento da tinta

Neste processo, a tinta é aplicada no centro do wafer, e o mesmo é rotacionado a fim de espalhar uniformemente a tinta. Após esse processo, o wafer é aquecido para evaporar o solvente da tinta.

4.2) Gravação de padrões

O processo de gravação de padrões ocorre através de máscaras predefinidas e luz ultravioleta.

Assim se faz:



Após esse processo, a região coberta será solúvel a determinados reagentes.

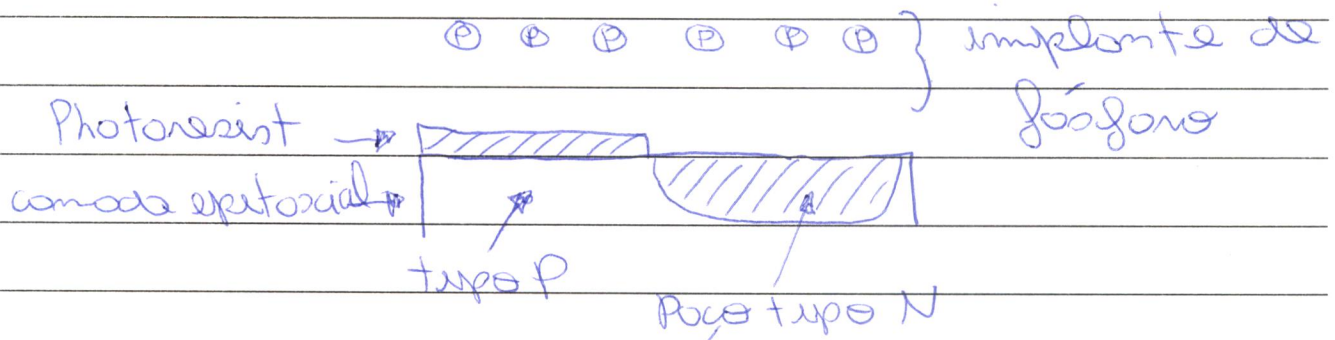
Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K73 F

Questão nº 5

4.3) Implante de Iões

O processo de implante de Iões ocorre através de um acelerador de partículas (30 até 200 KeV) e um reator de vácuo magnético (Fósforo ou Boro) para realizar o implante de íons impurezas em regiões previamente marcadas pelo processo de litografia. A figura 4.1 apresenta esse processo:



Após o implante para a formação do poço, o wafer é aquecido para reorganizar a estrutura cristalina do wafer.

5) Etching (ou decapagem)

O processo de decapagem pode ser realizado através de dois processos:

* Wet Etching: banho químico

* Dry Etching: dispersão de plasma localizada

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

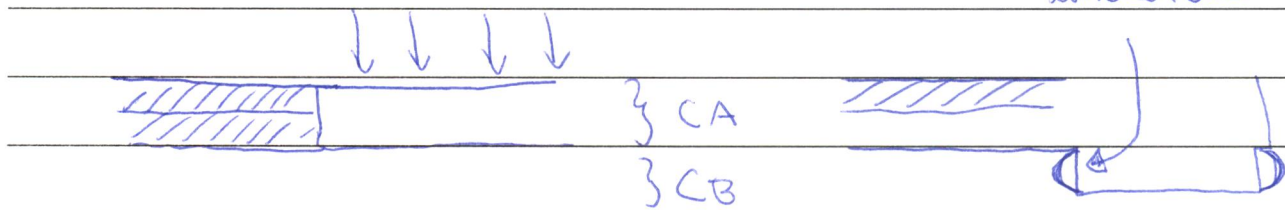
CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K 2 3 F

Questão nº 5

De todos os processos atuais de fabricação CMOS, o Dry Etching é o mais usado uma vez que possui uma taxa de decapagem controlada e um undercut quase zero.



Alto seletividade e sem undercut (Dry Etching)

baixa seletividade pois invade o canto do superior (Wet Etching)

6) Metalização, Corte e package

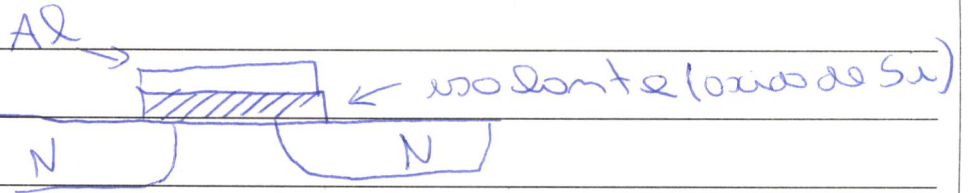
Com base em todos os processos, o projetista consegue construir, por exemplo, uma ~~MOSFET~~ MOSFET, realizando um número definido de etapas. Em geral, a maioria das aplicações utilizam a construção do MOSFET. Como esse tipo de transistor precisa a construção de uma placa metálica esolada para realizar o efeito de conversão de região sobre a porta (G) do MOSFET, é necessário uma etapa de metalização e construção de esolante.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

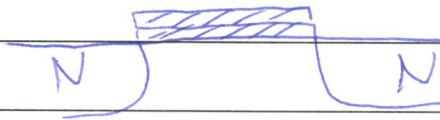
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K 23 F

Questão nº 5

Os processos antigos de metalização utilizavam o alumínio na construção das portas de MOSFET. Contudo esse processo era aplicado após o bombardeamento do íon e annealing do wafer, ~~destruía~~ causando um desnivelamento entre os spacers e a porta.



A solução para isso foi construir a porta primeiro utilizando Si policristalino fortemente dopado (Semicondutor degenerado = metal). Com esse processo, foi possível construir o MOSFET sem os defeitos de gold.



Após o processo de metalização, os contatos são abertos (etching + máscaras) e preenchidos com alumínio (metalização de contatos). Por fim as regiões são contactadas, os pads são soldados com fios de ouro/al nas envelopes e o CT é enviado pronto (package) para uso.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K 23 F

Questão nº 1

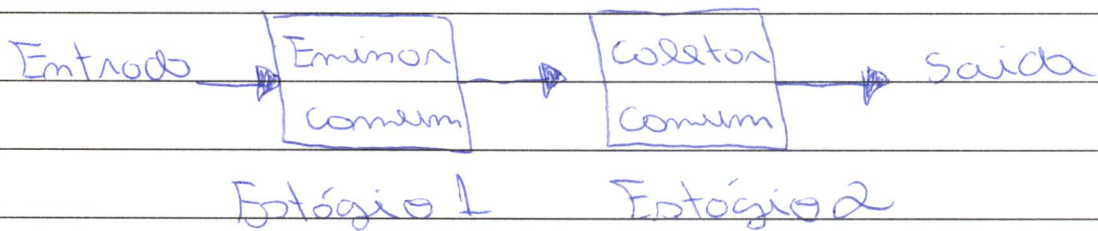
Diversas aplicações são baseadas no uso de amplificadores. Contudo é impossível atingir os requisitos de projeto utilizando apenas um estágio de amplificação. Em geral, amplificadores em emissor comum são capazes de produzir ganho, mas apresentam elevadas impedâncias de entrada e saída. Já os amplificadores em base comum, apresentam ganho de tensão mas uma impedância de entrada baixa e uma elevada impedância de saída. Por fim, o amplificador em coletor comum apresenta um ganho próximo da unidade com um baixa impedância de ~~entrada~~ saída. Dessa forma se o projetista deseja construir um projeto cuja impedância de entrada seja elevada, a impedância de saída seja baixa e o ganho também seja elevado, será necessário combinar diferentes estágios de amplificação, utilizando diferentes topologias, a fim de atingir os requisitos de projeto.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K 2 3 F

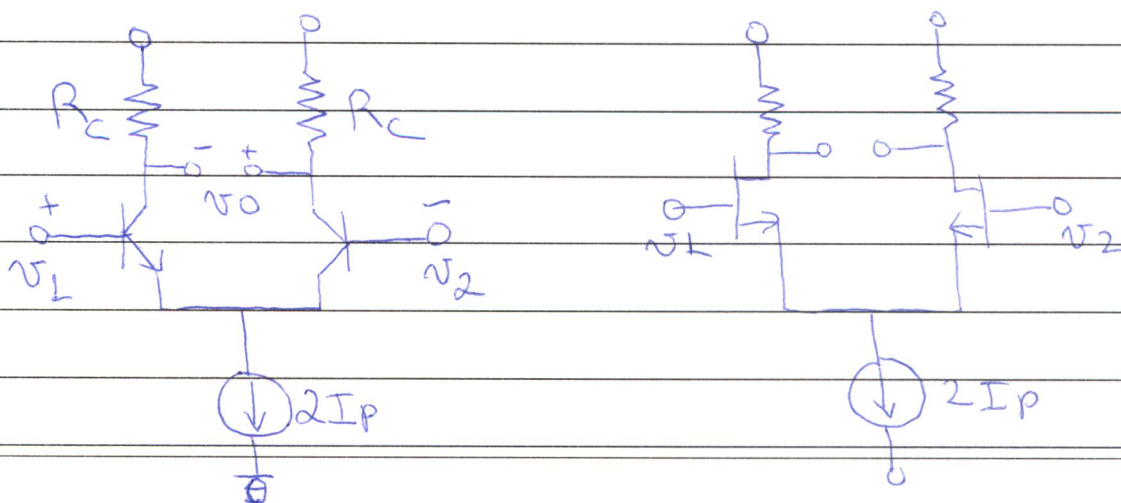
Questão nº 1

Por exemplo:



Além das topologias básicas (emissor, base ou coletor comum) o projetista é capaz de combinar outros blocos a fim de atingir outras características.

Uma topologia bastante utilizada quando deseja-se amplificar uma diferença de tensão é o amplificador diferencial, que pode ser construído utilizando um par diferencial bipolar ou MOSFET



Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K73F

Questão nº 1

Observação: Na versão com MOS FET, a impedância de entrada é infinita.

Nesse tipo de topologia, podemos definir dois ganhos:

* O ganho diferencial (A_{vd}) que deve ser amplificado.

* e o ganho de modo comum que deve ser rejeitado (A_{vcm})

Além disso, esse tipo de topologia deve ser construído em uma única pastilha de silício afim de forçar o casamento entre os transistores.

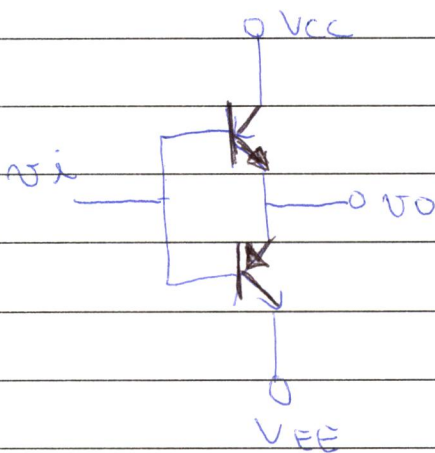
Se considerarmos ganho de potência através de um fornecimento de corrente para a carga, será necessário a utilização de um estágio de saída em coletor comum (ganho \approx unitário) obtido de uma configuração push-pull para fornecer, também, uma elevada corrente para a carga.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K23F

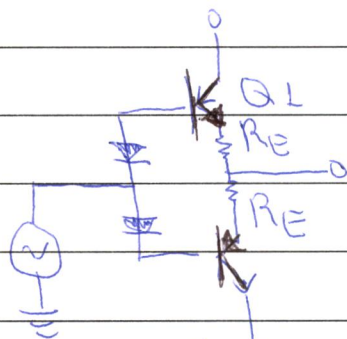
Questão nº 1

A configuração push-pull é dada por:



contudo esta configuração não apresenta um controle de corrente (sem resistor de emissor) é instável termicamente e é formada por dois amplificadores tipo B com erro de crossover.

Para contornar, estes problemas, as seguintes topologias podem ser utilizadas:



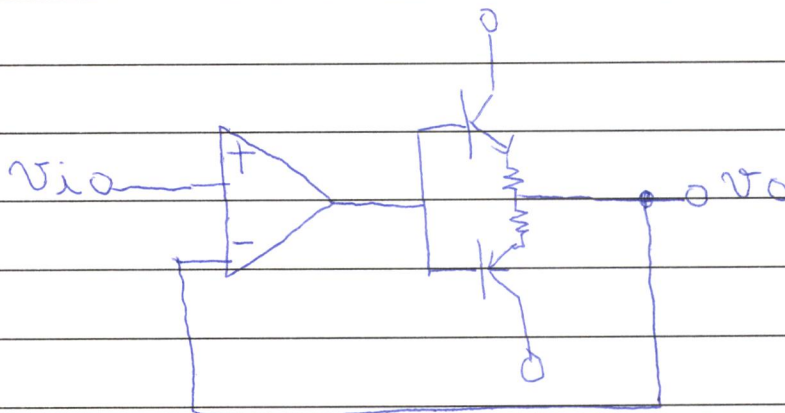
onde os diodos mantêm ambos os transistores polarizados (sem erro de crossover), e os resistores RE introduzem um mecanismo de realimentação negativa para controle de temperatura e limitação de corrente.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 1

Uma outra possível topologia para ganho de potência com estágio push-pull pode ser obtida através de um amplificador operacional.



onde o amp. op. irá fornecer a tensão necessária para manter ambos os transistores em modo ativo e ganho de tensão V_o/V_i igual a 1 (buffer).

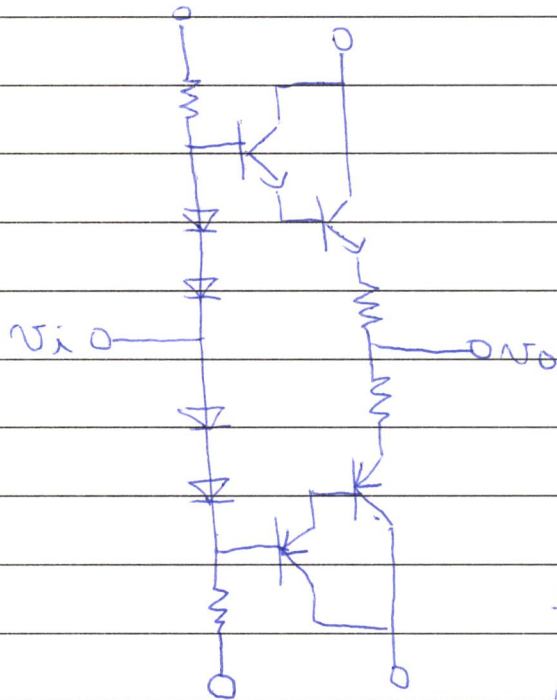
Contudo, os transistores de potência não apresentam ganho de corrente elevados (tipicamente menores que 50). Por outro lado, os transistores de pequenos sinais apresentam ganho de corrente entre 100, 200 e até 1000. Para contornar essa situação e elevar o ganho de corrente dos transistores de potência, o projetista pode utilizar a configuração Darlington.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

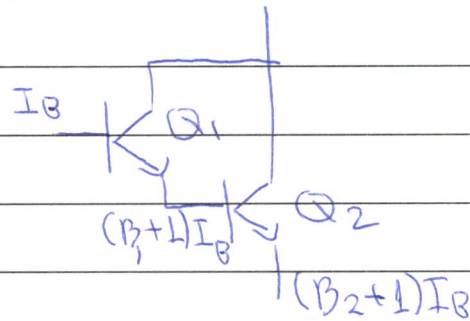
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 1

O projeto de um amp - push-pull em configuração Darlington pode ser obtido por:



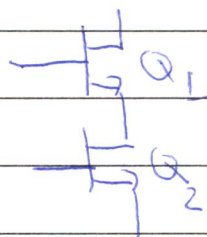
onde o par:



funciona como um único transistor com β aproximadamente igual a

$$\beta = \beta_1 \beta_2$$

Por fim, as topologias CASCODE tem como objetivo elevar a impedância de um estágio através do empilhamento de transistores



Este tipo de estratégia é muito comum em espelhos de corrente

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

KZ3F

Questão nº 4

Em diversos projetos é muito comum o uso de sinais padronizados (senóides, dentes de serra, etc) para a análise de sinais e implementação de projetos (Por exemplo, moduladores de sinal gerados de um gerador senoidal de frequência F para transmitir um sinal). A construção desses sinais padronizados é dada pelo circuito oscilador. Na prática, os circuitos osciladores podem ser caracterizados como:

Lineares: Osciladores senóides formados por filtros RC, LC ou cristais

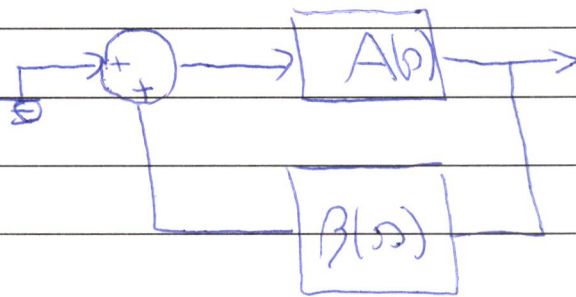
Não Lineares: Osciladores capazes de gerar ondas quadradas, triangulares e dentes de serra formados por comparadores e portas lógicas

Na classe dos osciladores lineares, a principal topologia de construção é baseada no diagrama:

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 4



onde o ganho de realimentação é dado por

$$\frac{V_o}{V_i} = \frac{A(s)}{1 - \beta(s)A(s)}$$

Se considerarmos $A(s) = A$ e um sistema linear e invariante no tempo, o polinômio característico (denominador) irá fazer com que esse sistema apresente:

Comportamento oscilatório devescente quando pólos complexos conjugados com parte real negativa (Estável)

Comportamento oscilatório ~~estável~~ crescente quando pólos complexos conjugados com parte real positiva (Instável)

Comportamento oscilatório quando pólos conjugados imaginários (marginalmente estável)

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K73F

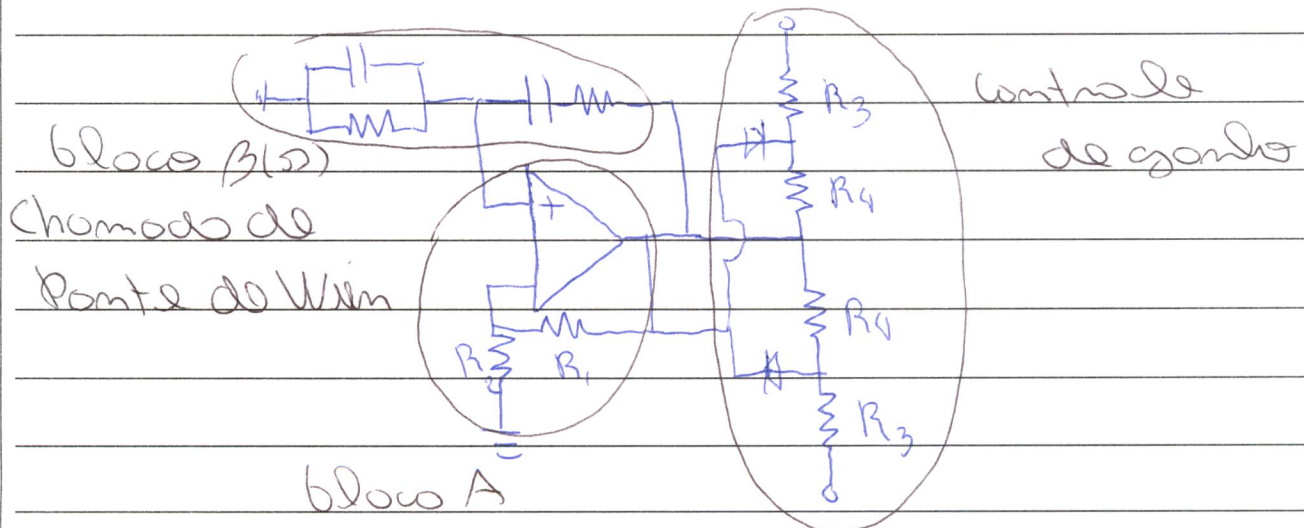
Questão nº 4

Amim, o comportamento oscilatório sustentado real é das quando ($\sigma = j\omega$):

$$1 - B(j\omega)A = 0$$

$$B(j\omega)A = 1 \quad | \quad \angle 0^\circ$$

esse critério de oscilação sustentada é chamado de critério de Barkhausen e é utilizado como princípio na grande maioria de osciladores lineares baseados em filtros RC. A seguir temos um exemplo de topologia de oscilador emissor



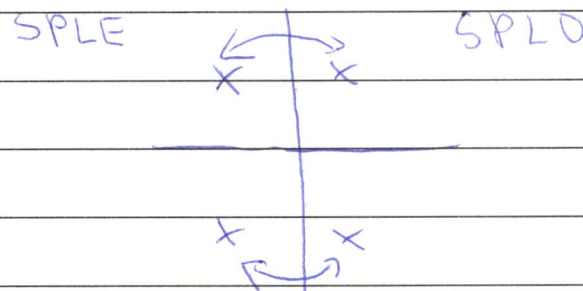
Como é impossível "fixar" o ganho de um circuito real de forma que o ganho seja um valor estabelecido pelo critério de Barkhausen

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

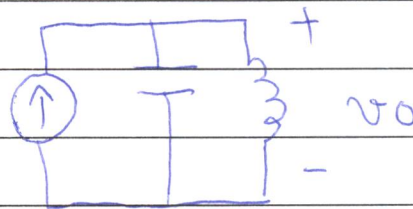
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K73 F

Questão nº 4

utiliza-se o controle de ganho para reduzir (estável) ou aumentar o ganho (instável).
Assim:



Uma outra classe de osciladores lineares são os osciladores LC. Os osciladores LC funcionam com o princípio de funcionamento do tombo LC. Sabemos que a resposta de um tombo LC ideal:



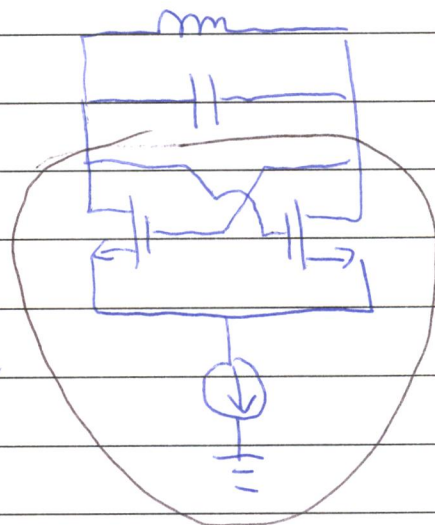
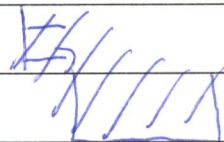
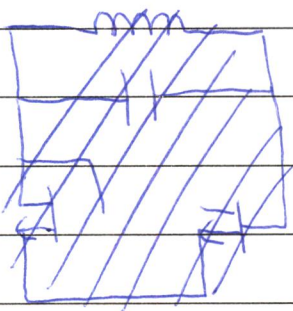
será uma senoide sustentada. Ou seja, ~~resposta~~ oscilatória com pólos complexos conjugados $(\pm j\omega)$. Contudo, o tombo LC ideal não existe e um tipo de circuito real é modelado por um circuito RLC que apresenta pólos complexos conjugados com parte real negativa.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

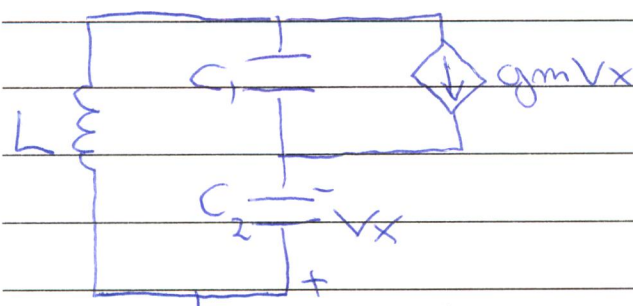
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K23F

Questão nº 4

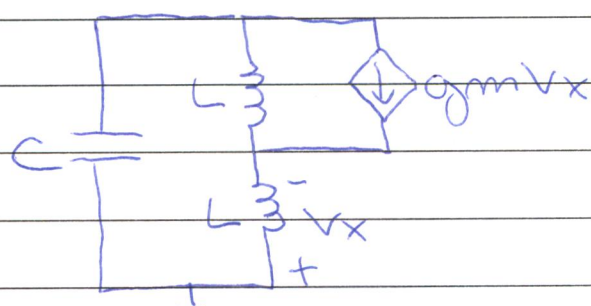
Uma possível forma de contornar esse problema é "injetar" energia no circuito de forma a compensar as perdas causadas pela resistência intrínseca do indutor e do capacitor. Assim, uma possível implementação de um oscilador linear LC são os casos por:



Emula uma resistência negativa para eliminar a resistência do L/C



Oscilador Colpitts



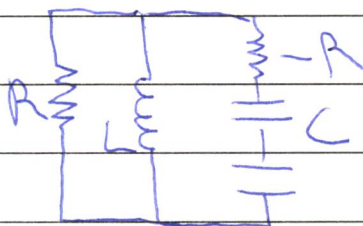
Oscilador Hartley

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K73F

Questão nº 4

O oscilador Hartley, assim como o oscilador de Colpitts tenta simular uma resistência negativa capaz de "anular" a resistência de perdas modelados para o torque LC.

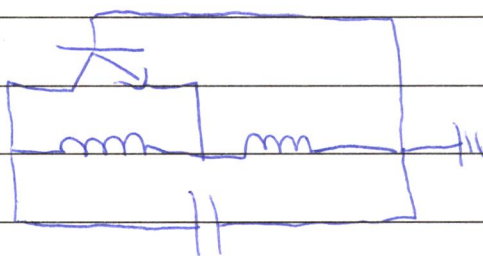


Colpitts



Hartley

Uma forma de conseguir simular esse resistor através de uma fonte de corrente (um transistor) pode ser obtida da seguinte forma:



Oscilador Hartley em base comum.

Observação: O projetista deve se atentar de utilizar o transistor sempre no modo ativo. Além disso, é necessário polarizar o BJT com divisor de tensão, resistor de emissor degenerativo e capacitores de acoplamento.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

K73 F

Questão nº 2

A grande maioria dos amplificadores ~~se~~ apresentam um esquema de construção onde são capazes de amplificar todo o sinal (360°). Contudo, esses tipos de amplificadores apresentam uma baixa eficiência ($\eta = P_L / P_{DC}$). Em projetos de alta potência, é esperado que grande parte da potência entregue pela fonte seja utilizada pelo carga e não desperdiçada (em forma de calor) pelos transistores de potência.

Dessa forma, os amplificadores de potência são ~~classificados~~ classificados de diferentes formas.

Por exemplo, os amplificadores classe A, que são a grande maioria dos amplificadores conseguem amplificar todo o sinal de entrada (todo o 360°) mas apresentam uma eficiência de apenas 25%.

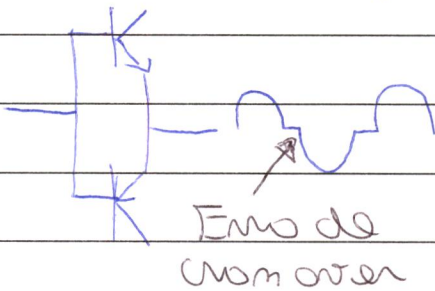
Já os amplificadores classe B conseguem entregar uma eficiência de 78,5% ao custo de amplificarem somente um ciclo de sinal de entrada. Para contornar esse problema, mantendo a eficiência de 78,5%, a topologia push-pull foi adotada como

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	K 23 F

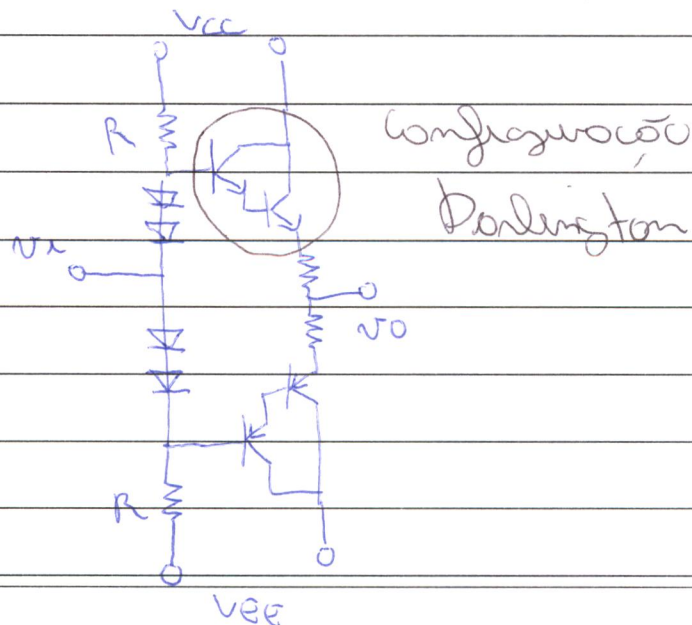
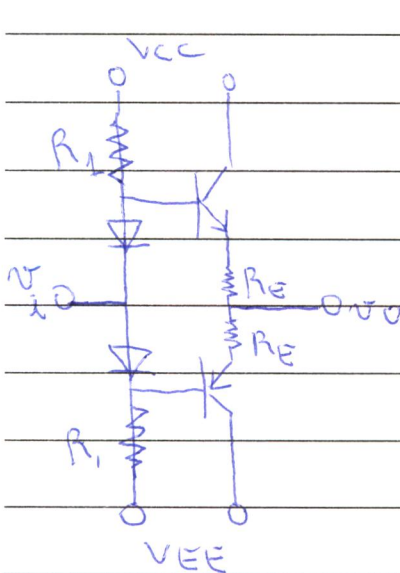
Questão nº 2

forma de amplificação ambos os ciclos contidos, em topologia apresentada, via um emu na saída devido a despolarização do emu dos ciclos quando $|v_{in}| < V_{be}$. Note que



esta topologia é formada por dois amplificadores do tipo B.

Para contornar esta situação um mecanismo ~~de~~ deve ser adicionado ao circuito como forma de manter ambos os transistores sempre polarizados, eliminando portanto o emu de um emu. As seguintes topologias são possíveis:



Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 2

Para esse tipo de amplificador, temos a chamada classe AB. Existem outras estratégias de amplificação divididas em outras classes. Por exemplo, a classe D é baseada no conceito de PWM onde o sinal atua menor que os 360° e a eficiência ~~é~~ atingida é maior (ou controlada) pelo largura do pulso.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	KZ3F

Questão nº 3

Os osciladores são uma classe especial de circuitos muito utilizados para a geração de sinais padronizados como senoides, ondas quadradas e dente de serra, etc. A grande maioria dos osciladores são divididos em lineares, formados por ~~os~~ osciladores RC, LC e cristais; e osciladores não lineares constituídos de comparadores, amplificadores e portas lógicas. Nesse tipo de oscilador sinais como ondas quadradas, triangulares e dente de serra podem ser formados.

Dentre dos osciladores não lineares, podem ser divididos em Multi-estáveis, monoestáveis e Biestáveis. Nesse circuito, os pontos são constantemente traçados de forma a tornar o sistema estável e instável. Contudo, essas topologias utilizam uma lógica sequencial (portas ou comparação) para modificar o ganho de forma a transitar pela estabilidade ou instabilidade.