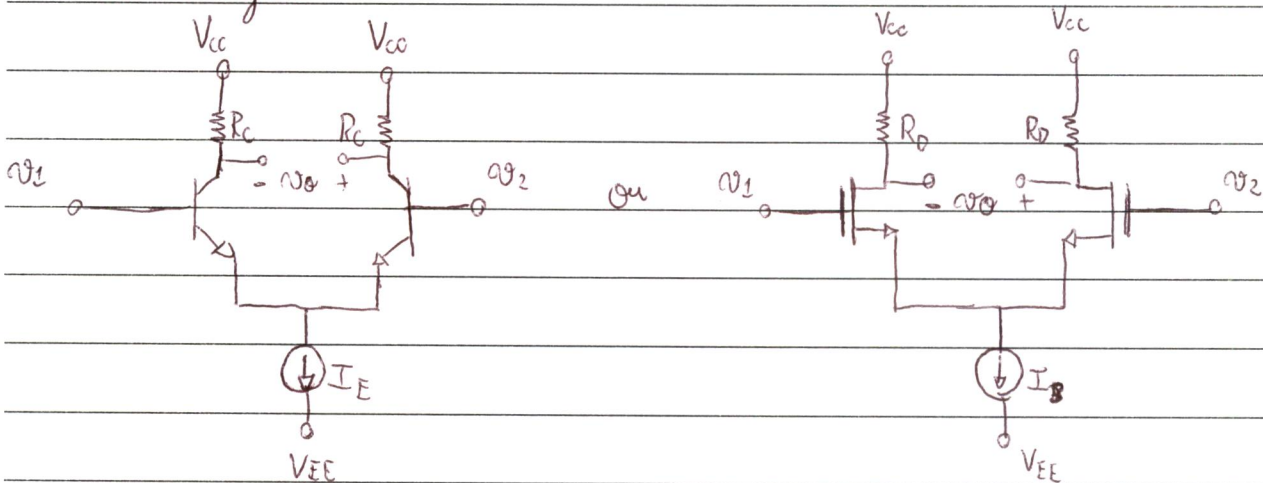


Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

Questão nº 1

O amplificador diferencial é construído por um par de transistores perfeitamente casados, de modo que seus parâmetros como constante de ganho β e tensão térmica V_T (caso dos transistores do tipo BJT), e comprimento L e largura de canal W e tensão de limiar V_{th} (caso dos transistores do tipo MOSFET) sejam idênticos. A configuração típica de um par diferencial é mostrada a seguir:



Este tipo de amplificador tem como principal característica fornecer um alto ganho para entradas diferenciais (isto é, amplifica a diferença entre as tensões de entrada v_{O1} e v_{O2}), enquanto não fornece ganho nenhum para entradas iguais (isto é, ~~apresenta~~ apresenta tensão de saída nula quando $v_{O1} = v_{O2}$). Uma vantagem deste comportamento é que caso os sinais de entrada estejam submetidos a um mesmo nível de ruído, tem-se que esse ruído não será muito amplificado, tendo em vista que ele representa a parcela de modo comum das entradas. Uma figura de mérito muito utilizada para caracterizar amplificadores diferenciais é a chamada

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

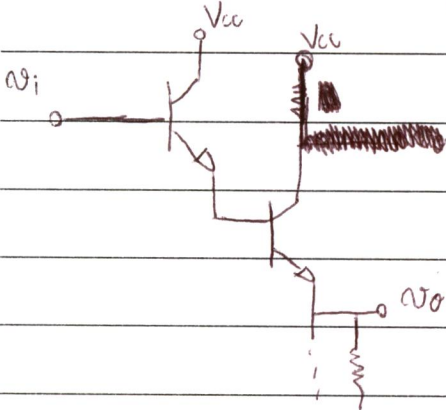
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 1

razões de rejeição de modo comum (Common-Mode Rejection Ratio - CMRR). No caso ideal (transistores perfeitamente casados), segue que $CMRR = \frac{A_{od}}{A_{ocm}} \rightarrow \infty$, onde A_{od} é o ganho da parcela diferencial e A_{ocm} é o ganho da parcela de modo comum. Os amplificadores diferenciais costumam ser empregados em estágios de entrada de amplificadores multi-estágios.

O amplificador de Darlington é uma topologia composta por dois transistores associados em cascata da seguinte forma:



Normalmente, o par de Darlington é usado em estágios de saída de amplificadores com múltiplos estágios, pois eles são empregados com o objetivo de isolar a carga sendo conectada ao amplificador do circuito de amplificação.

Para esse propósito, o par de Darlington apresenta elevada impedância de entrada e baixa impedância de saída.

O amplificador push-pull em simetria complementar corresponde a ~~dois~~ dois amplificadores de potência de classe B (isto é, um amplificador em que o sinal de entrada é aplicado diretamente na base do transistor BJT, sem que haja polarização sobre ele) do tipo NPN e PNP:

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

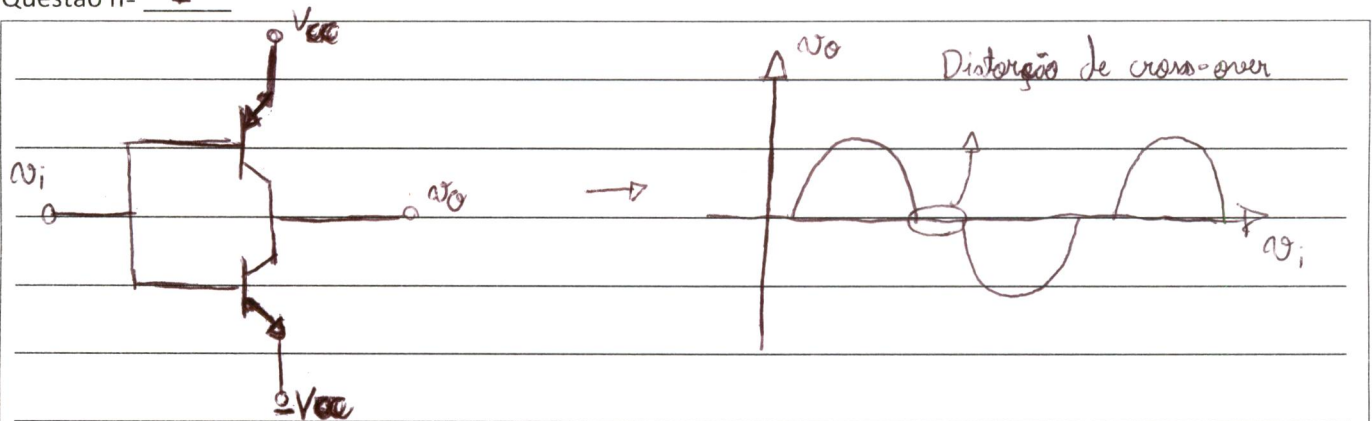
PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 1



A configuração em push-pull complementar tem como principal vantagem gerar um sinal na saída com pequena distorção, ~~o que é desejado~~ que é desejado para aplicações de áudio (índice de distorção harmônica baixo para esse sinal de saída). A pequena distorção observada na saída é chamada de distorção de cross-over, e é causada pela tensão v_{BE} necessária em cada transistor para levá-los à condução. Uma versão alternativa que corrige a distorção de cross-over consiste em aplicar uma pequena tensão de polarização ao amplificador, a qual compensa essa tensão v_{BE} , deixando-o sempre em condução (um dos transistores estará conduzindo e o outro estará em corte).

Por fim, o amplificador Cascode ~~o principal~~ tem como principal característica apresentar uma impedância de entrada bastante elevada, sendo muito empregado em estágios de entrada de amplificadores.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

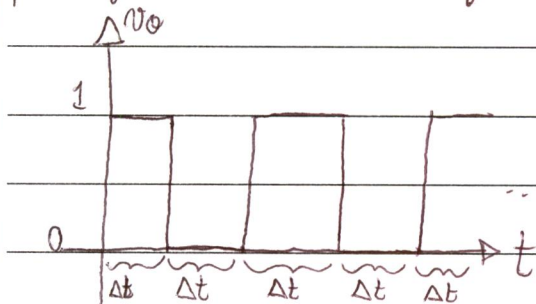
CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 3

Multi-vibradores são circuitos osciladores não-lineares que comutam entre estados lógicos (0 ou 1). Os multi-vibradores podem ser de três tipos: ~~estáveis~~ ^{estáveis}, biestáveis ou monostáveis. Os multivibradores estáveis recebem esse nome por não apresentarem um estado no qual se mantenham indefinidamente. Neste caso, eles comutam ~~entre~~ ^{constantemente} entre dois estados ao longo de um intervalo de tempo, sem a necessidade de um sinal de controle para acionar a troca dos estados. Essa configuração pode ser usada, por exemplo, para gerar ondas quadradas que servem como sinal de clock para algum outro circuito digital.



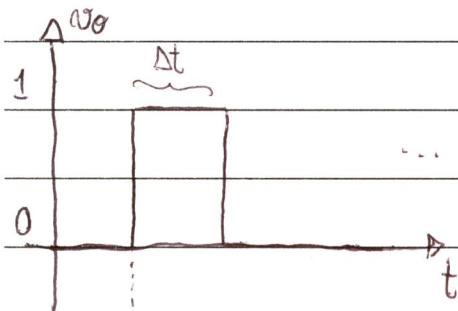
Operação no modo ~~estável~~ ^{estável}.

Os multi-vibradores monostáveis são aqueles que operam com apenas um estado estável. Desta forma, quando retirados deste estado de repouso, eles levam um tempo até retornar ao estado inicial, permanecendo nele indefinidamente até que outro estímulo externo o retire desse estado. Essa configuração é utilizada, por exemplo, na detecção de erros para acionar algum outro tipo de circuito (continua na próxima folha).

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

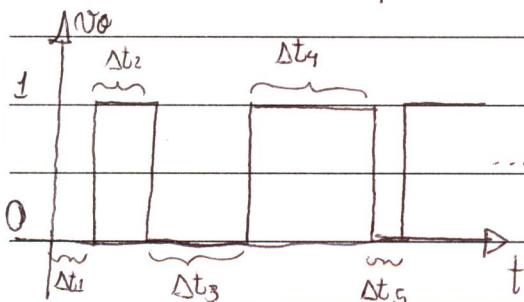
Questão nº 3



Operação no modo monoestável

t instante de aplicação de um sinal de controle.

Os multi-vibradores bistáveis são aqueles que operam independentemente ~~em~~ ~~em~~ ~~em~~ em um de dois estados possíveis, sendo que a troca entre eles ocorre somente quando um sinal externo é aplicado ao circuito. Essa configuração pode ser empregada, por exemplo, quando se deseja que um circuito tenha uma determinada saída por um tempo indeterminado (por exemplo, ligar ou desligar algum led ou outros equipamentos).



Operação no modo bistável (cada transição ~~ocorre~~ ocorre por meio de um sinal de controle externo).

As aplicações com circuitos multivibradores tendem a envolver ~~o~~ controle de temporização. Um circuito muito utilizado para implementar esses modos de operação é o circuito integrado 555, composto por um divisor de tensão com três resistores



Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

Questão nº 3

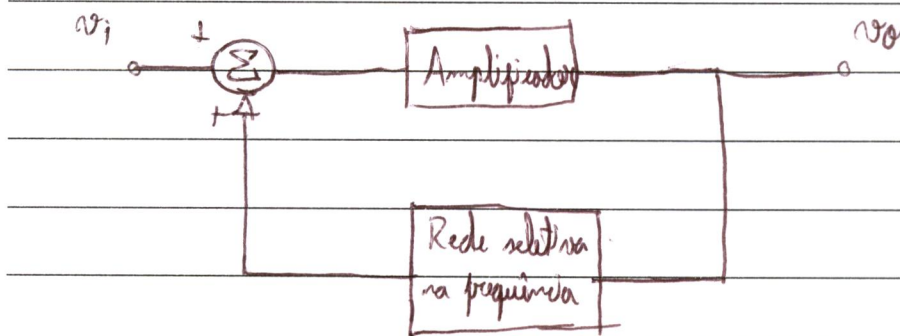
de 5k Ω , dois comparadores de tensão (formados por amplificadores operacionais), um latch "SR" e uma chave analógica (formada tipicamente por um transistor BJT). Para a operação no modo astável, emprega-se um circuito RC em conjunto com o CI 555, de modo que a curva de carga e descarga deste capacitor controla a oscilação entre os dois estados, por meio dos comparadores de tensão. Dependendo da resistência equivalente em carga pelo capacitor em cada intervalo de tempo, o tempo de carga pode ser diferente do tempo de descarga. Isso leva a um sinal pulso de saída com duty-cycle diferente de 50% (e, usualmente, é o que ocorre nas implementações mais simples do modo astável). Caso seja necessário garantir que haja um tempo igual entre cada estado, deve-se empregar ~~um~~ diodos em conjunto com o circuito RC externo ao CI 555.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

Questão nº 4

Osciladores são circuitos capazes de gerar sinais oscilantes no tempo sem a necessidade da aplicação de uma entrada. Para esse propósito, os circuitos osciladores se baseiam na ideia de uma rede seletora de frequência conectada a um circuito amplificador de tal modo a gerar uma realimentação positiva da saída para a entrada. O diagrama de blocos básico de um circuito oscilador é apresentado abaixo.



A realimentação positiva tem por objetivo dar um ganho ao sinal de saída, de modo que as oscilações sejam autossustentáveis. Na função de transferência do sistema em questão, isto corresponde a posicionar os polos sobre o eixo imaginário ($s = j\omega$). Na prática, posicionar os polos sobre o eixo imaginário é difícil, e requer uma adaptação do ganho ~~oscilador~~ dependendo do nível da saída.

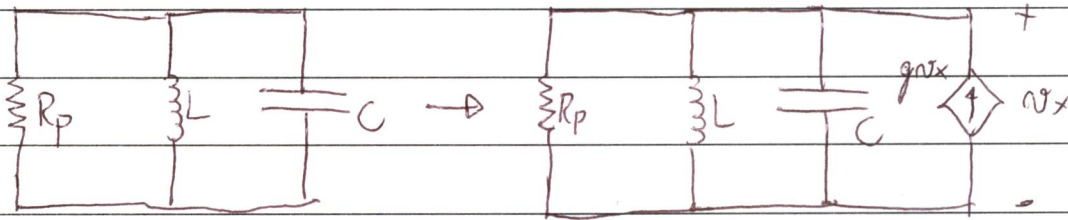
A rede de realimentação pode ser implementada de diversas formas, uma escolha comum é utilizar redes LC capazes de realizar a sintonização de uma determinada frequência de oscilação. Essas redes têm a vantagem de gerar oscilações com nenhuma distor-

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024 DOU nº 24, de 02 de Fevereiro de 2024

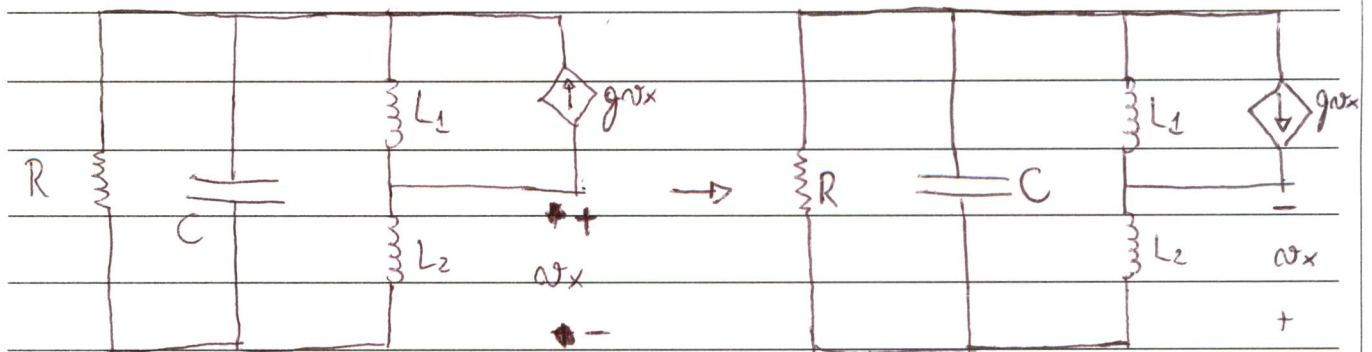
PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

Questão nº 4

ções. As redes LC reais apresentam perdas modeladas por uma componente resistiva, traduzindo-se em um circuito RLC. Para garantir que ~~uma parte~~ a amplitude das oscilações se mantenham, é preciso compensar essas perdas com a introdução de uma "resistência negativa", modelada por meio de uma fonte de corrente controlada por tensão (ou uma fonte de tensão controlada por corrente), a qual fornece a energia necessária para sustentar as oscilações.



É nesse contexto que foi proposto do oscilador de Hartley. Ele consiste em uma rede formada por dois indutores, um capacitor e um indutor, conforme mostrado abaixo:



Para implementar a fonte de corrente controlada por tensão, emprega-se um transistor

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior
Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

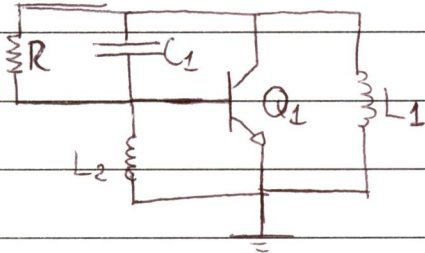
CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 4

Conforme indicado abaixo (na configuração em emissor-comum).



O oscilador de Hartley apresenta frequência de oscilação dependente da razão entre as indutâncias L_1 e L_2 , o que pode ser um problema caso haja alguma variação no valor desses componentes ao longo do tempo (afetando, assim, a oscilação do circuito). A implementação de valores precisos de indutância também é um problema, tendo em vista que o indutor pode funcionar como uma antena e captar interferência eletromagnética. Por outro lado, o oscilador de Hartley apresenta uma seletividade bem elevada, por se basear em uma rede LC, o que o permite alcançar oscilações sem distorções.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 5

O processo de fabricação CMOS consiste em crescer camadas de diferentes materiais sobre uma pastilha de silício (material semiconductor) dopado com portadores do tipo n ou do tipo p, de modo a gerar um desequilíbrio entre o número de elétrons e lacunas presentes no material. A pastilha de silício sobre a qual os demais camadas são depositadas chama-se substrato. Os dispositivos básicos implementados no processo de fabricação CMOS são os transistores MOSFET (NMOS ou PMOS). Para construir esses transistores, é preciso a criação de poços com dopagem diferente da empregada no substrato (ou seja, poços tipo "n" para substratos do tipo "p" e poços tipo "p" para substratos do tipo "n"), os quais implementam os terminais de dreno e fonte.

Para criação desses poços, primeiro, deposita-se uma camada de "photoresist" (substância sensível à luz ultravioleta), a qual será seletivamente removida da pastilha de silício, de modo a criar as áreas ativas no substrato. Em seguida, são posicionadas máscaras que ~~protegem~~ expõem ou protegem o substrato da luz ultravioleta, e aplica-se a luz ultravioleta, fazendo com que o material photoresist seja removido. Em seguida, nas áreas expostas do silício, realiza-se o bombardeamento com íons de um determinado tipo ("n" ou "p", a depender do substrato), criando, assim, regiões de poço. Após o bombardeamento dos íons, a ~~pastilha~~ pastilha passa por um processo de recozimento, para restaurar a estrutura cristalina do silício.

Para isolar os dispositivos dentro de uma pastilha, utiliza-se uma camada de óxido de silício. Essa camada é obtida do próprio substrato, podendo ser uma oxidação úmida



Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DA9Y

Questão nº 5

ou seca. A oxidação úmida é mais rápida, porém gera um óxido de qualidade inferior, além de ter um crescimento menos controlado da camada. Já a oxidação seca é mais lenta, porém permite um controle maior, sendo amplamente utilizada no processo de fabricação. Além de isolar componentes dentro do chip, a camada de óxido também é necessária para evitar que transistores parasitas, formados pelas diversas junções "pn" no substrato, influenciem na operação dos dispositivos dentro do chip.

Para construir o terminal de gate do MOSFET, deposita-se uma fina camada de silício policristalino sobre o substrato, seguido de uma camada de metal. Para evitar problemas de desalinhamento das máscaras usadas para expor a área do substrato à luz ultravioleta, costuma-se usar o próprio terminal de gate como máscara. Isso garante que, ao bombardear o silício com íons tipo "n" ou tipo "p", os poços não terão uma região invadindo a área sob o gate, o que encurtaria o canal do MOSFET e afetaria a sua operação. Essa técnica de alinhamento também é conhecida como porta auto-alinhada (ou "self-aligned gate").

As camadas de metal são usadas para interconectar dispositivos dentro do chip. No entanto, o roteamento dessas camadas deve ser feito de forma cuidadosa, de modo a evitar que capacitâncias parasitas sejam geradas por trilhas muito próximas ou sobrepostas. Para mitigar o efeito desses elementos parasitas, costuma-se empregar múltiplas camadas de metal, em diferentes níveis, alternando a orientação das trilhas em camadas adjacentes (por exemplo: metal 1 para trilhas horizontais e metal 2 para trilhas verticais).



Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)	CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO
Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ DATA: 09/12/2024	DA9Y

Questão nº 5

Camadas superiores de metal tendem a ser mais espessas e, portanto, utilizados para conduzir correntes mais elevadas dentro do circuito, provenientes das fontes de alimentação. A máxima densidade de corrente permitida por cada trilha deve ser respeitada, de modo a evitar o efeito de eletromigração. Esse efeito consiste na alteração das dimensões da trilha causada por expansão do metal ao dissipar uma alta potência (causada por uma elevada corrente). Recomenda-se, também, que as trilhas não tenham inclinações de 90° , de modo a garantir uma densidade de corrente uniforme ao longo da trilha.

Além de transistores MOSFET, o processo de fabricação CMOS também implementa resistores, capacitores e indutores. Resistores podem ser implementados por meio de peças n ou p , ou por meio de materiais isolantes, como o silício policristalino. Para resistores de silício policristalino, define-se a chamada resistência de folha, que é o valor de resistência definido sobre um "quadrado" de área desse resistor. O número de quadrados dentro de um segmento de silício policristalino depende de suas dimensões. Capacitores são construídos por meio de camadas de metal superpostas em diferentes níveis, ou por camadas de polissilício, também superpostas em diferentes níveis. O valor exato do capacitor depende não só da capacitância obtida das áreas superpostas, mas também das bordas dessas áreas (as quais são denominadas capacitâncias de franja). Indutores são construídos por meio da utilização de trilhas de metal longas e em formato circular. No entanto, a implementação desses indutores só permite valores baixos, e não são muito precisos, pois são altamente suscetíveis a ruídos provenientes do próprio circuito.

Concurso Público para provimento efetivo de vagas no cargo de Professor da Carreira de Magistério Superior

Edital nº 54, de 30 de janeiro de 2024

DOU nº 24, de 02 de Fevereiro de 2024

PROVA ESCRITA (CADERNO DE RESPOSTAS)

CÓDIGO DE IDENTIFICAÇÃO DO CANDIDATO

Local: Sala D201 - Bloco D - Escola Politécnica/CT/UFRJ
DATA: 09/12/2024

DARY

Questão nº 5

Tendo em vista a dificuldade em se gerar valores absolutos precisos para os componentes presentes no chip, por conta de imprecisões do próprio processo de fabricação, empregam-se técnicas na construção do layout do circuito, de modo que esses valores dependam de razões entre parâmetros, e não de valores absolutos. Uma dessas técnicas consiste em criar os chamados elementos unitários, e construir os demais elementos a partir destes. Por exemplo: um resistor de $2k\Omega$ pode ser implementado como dois resistores de $1k\Omega$ em série. Como os dois resistores de $1k\Omega$ são idênticos e foram submetidos às mesmas etapas do processo de fabricação, segue que eles terão valores similares, o que leva a um resistor de $2k\Omega$ mais preciso, do que se ele tivesse sido criado de forma personalizada (isto é, usando um segmento de polímero maior).

Outra técnica comum para ~~reduzir~~ ~~reduzir~~ reduzir o desbalanceamento entre componentes consiste em dispor-los de forma simétrica no layout, seguindo as mesmas orientações para dispositivos de mesma natureza. Esta técnica é conhecida como layout em centróide comum. Ela garante que os elementos unitários serão submetidos ao mesmo gradiente do processo de fabricação (ou seja, erros inerentes às etapas do processo).